

基于演化硬件的多目标进化算法的研究

张晓芳¹, 李 智², 牛军浩^{1,3}

(1 桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004;

2 桂林航天工业学院, 广西 桂林 541004;

3 桂林电子科技大学 广西自动检测技术与仪器重点实验室, 广西 桂林 541004)

摘 要: 传统遗传算法在演化数字逻辑电路时表现为演化速度缓慢且极易陷入局部最优解, 而且易出现早熟收敛现象. 针对上述问题, 给出一种基于遗传算法的多目标进化算法, 即强度 Pareto 进化算法 2 (SPEA2) 用于数字逻辑电路的进化设计. 演化平台以虚拟可重构电路为电路基础, FPGA 为实现载体, 利用 Microblaze 软核实现该算法对目标电路的演化操作. 通过两位乘法器电路证明了所给出算法的全局搜索能力, 且能够有效地减少搜索到全局最优解的迭代次数, 并在一定程度上优化演化电路的规模, 提高设计效率.

关键词: 演化硬件; 虚拟可重构电路; 遗传算法; 多目标进化算法; SPEA2; FPGA

中图分类号: TP301.6

文献标识码: A

文章编号: 1000-7180(2016)09-0119-05

Research of Multi-objective Optimization Evolutionary Algorithm Based on Evolvable Hardware

ZHANG Xiao-fang¹, LI Zhi², NIU Jun-hao^{1,3}

(1 School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China; 2 Guilin University of Aerospace Technology, Guilin 541004, China; 3 Key Laboratory of Automatic Detection Technology and Instrument of Guangxi, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: During the evolution of digital logic circuit, genetic algorithm (GA) possess a slow evolution, plunges into local optimal solution and produces premature convergence phenomenon easily. To solve these problems, a kind of multi-objective optimization evolutionary algorithm (MOEA), strong Pareto evolutionary algorithm 2 (SPEA2) which utilized for the evolution is given. The scheme constructs a platform on FPGA based on Virtual reconfigurable circuit (VRC) and employs Microblaze soft core to implement the evolutionary algorithms for the evolution of the target circuit. The evolution of two multiplier proves global searching ability of the proposed algorithm and demonstrates that the algorithm can effectively reduce the number of iterations to search the global optimal solution. Experiments shows that the proposed algorithm can improve the efficiency of evolution of the circuit scale and design to a certain extent.

Key words: evolvable hardware; VRC; GA; MOEA; SPEA2; FPGA

1 引言

演化硬件^[1] (Evolvable Hardware, EHW) 是一种将进化算法和可重构器件相结合的硬件系统. 它以演化算法主要是遗传算法作为全局搜索工具, 以现场可重构器件主要是现场可编程门阵列 FPGA

作为评估手段和实现载体. 与硬件电路设计方法不同, 演化硬件不依赖于人工设计经验和先验知识, 对电路进行自动设计^[2].

演化硬件仿照自然界中以碳为基的生物进化过程, 将电路的结构、参数等内容以一维串结构形式的数据来表示染色体, 进而采用迭代方式进行遗传操

作(选择、交叉、变异等)交换种群中的染色体信息,并以个体适应度作为评价标准,指导下一步的演化操作.如此反复,最终生成符合优化目标的染色体.作为一种特殊的硬件,演化硬件可以像生物一样自适应、自组织、自修复,可以根据自身环境(如内部故障等)、外部环境的变化以及具体应用任务的改变来改变其自身结构和功能.

作为演化硬件的搜索工具,遗传算法的搜索速率直接影响演化硬件的收敛速度.虽然该算法,具有良好的鲁棒性和并行性,但其维持多样性和局部搜索能力较弱,仍存在过早收敛,容易陷入局部最优解的问题.当搜索空间增大时,收敛性差,收敛速度较慢.本文在遗传算法的基础上,给出了一种多目标优化进化算法.

2 演化平台设计与分析

片上可编程系统(System on a Programmable Chip, SOPC)是将 RISC 处理器 IP 核和 FPGA 厂商提供的 IP 核以及用户自定义的 IP 核结合,借助 EDA 工具自顶向下的进行自动化、智能化搭建而形成的系统.本文实现的基于 FPGA 的演化平台便是基于可编程片上系统的平台,如图 1 所示.

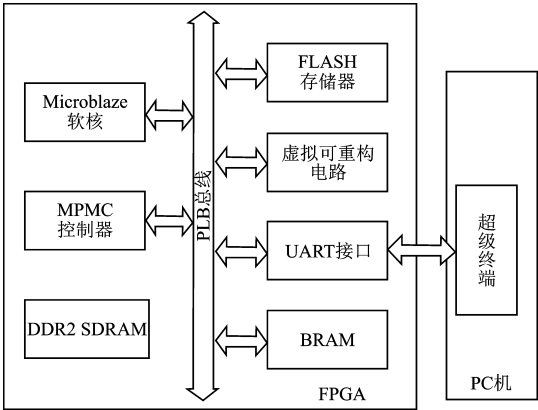


图 1 演化平台的系统结构

该平台以虚拟可重构电路^[3](VRC, Virtual Reconfigurable Circuit)为电路基础.主要由 Xilinx Virtex-5 系列 FPGA、Microblaze 软核处理器、VRC、DDR2 SDRAM、FLASH 存储器和异步收发器 UART 组成.其中演化算法以软件的形式在 Microblaze 软核处理器中得以实现,并通过一个本地总线与 VRC 电路进行快速通信,这种方法可以直接在 FPGA 中对 VRC 电路进行快速评估.由于 FPGA 内部的 BRAM 资源有限且程序代码过大,需要使用 FLASH 存储器对程序进行存储,并在

DDR2 SDRAM 中运行实现. DDR2 SDRAM 内存芯片挂载在 PLB 总线,总线控制 IP 核从 DDR2 SDRAM 中读写数据. UART 可以将演化的进度信息实时地发送至 PC 端的超级终端,指示演化进程的状态.

2.1 虚拟可重构电路

FPGA 因其丰富的逻辑资源和硬件可编程的特性,成为硬件演化优先选择的硬件平台.大部分以 FPGA 为平台的演化硬件主要是通过对 FPGA 位流信息修改来实现(利用 Xilinx 公司提供的由 JBits API 类库构成的软件开发包 J-Bits API). 近些年, Xilinx 公司不再提供 J-Bits 软件的更新,而且 Virtex-4、Virtex-5 等系列的 FPGA 尚不支持 J-Bits,故提出用虚拟可重构电路来构造虚拟且已知的位流层代替 FPGA 的底层位流配置.

虚拟可重构电路是搭建于商业 FPGA 顶层的快速可重构平台,该平台不仅使基因长度减小,染色体编码简短有效,而且使内部重构速度提高,为演化硬件提供了一种更加简单有效的内进化技术途径^[4].

VRC 是由 $R \times L$ 的虚拟处理单元(Programmable Element, PE)阵列组成.本文设计的 VRC 是由 4×4 的(共 16 个)PE 单元阵列组成.如图 2 所示,每个 PE 是由两个多路选择器(Multiplexer, MUX)和一个功能选择单元(Function Element, FE)组成. MUX 用来对外部输入及其他输入进行路径选择,FE 可以进行功能(即逻辑门,如与门、或门、与非门、异或门等)的选择. PE 单元的功能对照表如表 1 所示.

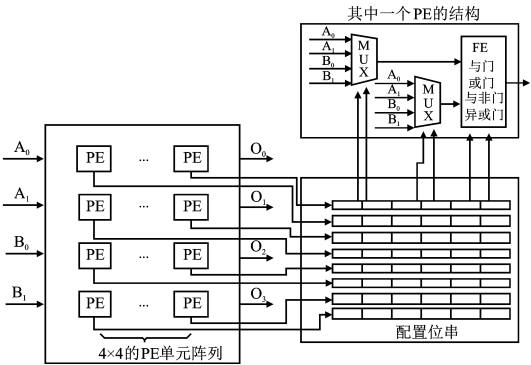


图 2 PE 单元阵列

表 1 PE 单元功能对照表

功能编码	功能
2'b00	与运算
2'b01	或运算
2'b10	与非运算
2'b11	异或运算

为了避免反馈循环,规定电路只能由左往右连接,即 i 列的 PE 单元的输入只能是第 $j(j < i)$ 列 PE 单元的输出. VRC 第一列的输入和最后一列的输出通过配置接口与 Microblaze 软核处理器相连接.

电路进化设计的前提是如何将待求解电路的拓扑结构编码成演化算法所能执行的形式. VRC 的每个 PE 单元的输入来自电路的原始输入或者其他 PE 单元的输出. 整个 PE 单元阵列的输入和输出位数由待演化的电路决定; PE 单元阵列的规模由待演化电路的功能复杂度来决定; PE 单元阵列的输出是阵列中某些 PE 单元的输出或者由目标演化电路的输出位数决定. 每个 PE 单元的连接及功能都是通过二进制编码实现的. 按一定顺序组合每个 PE 单元的编码,形成一个个一维串结构形式的数据,作为编码位串,即染色体.

实际演化电路中用到的逻辑门的数量跟电路中冗余的逻辑门的数量有关. 主要有两种情况:一是电路中的逻辑门没有被利用;二是电路中逻辑门的起始信号未发生改变. 那么实际用到的逻辑门的数量即为逻辑门总量减去冗余逻辑门的数量即可.

2.2 遗传算法

作为常用的演化算法,遗传算法(Genetic Algorithm, GA)是一种模拟生物基因遗传形成的搜索算法,基于达尔文进化论思想,特点是群体搜索和个体间信息交流,搜索对梯度信息没有依赖^[5]. 遗传算法的典型流程示意图如图 3 所示.

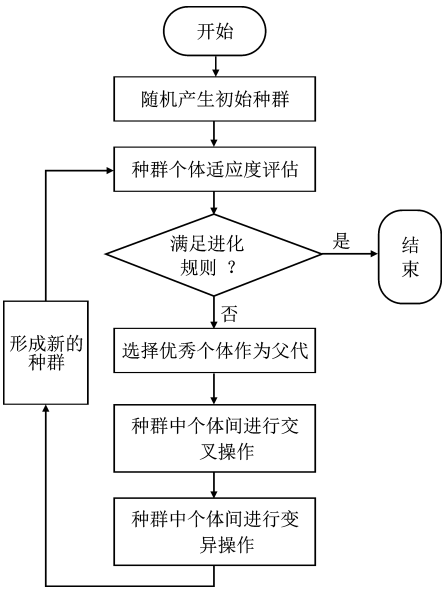


图 3 遗传算法流程示意图

3 多目标进化算法

多目标优化问题^[6] (Multi-objective Optimization Problem, MOP)指的是需要同时处理的、无法同时达到最优的优化目标为两个及两个以上的优化问题. 在多目标优化问题中,不同的优化目标之间往往是相互制约的,对其中一个目标进行优化,通常会引起其他优化目标的劣化^[7]. 多目标优化问题只能找到一些相对较优的解构成的解集,即 Pareto 最优解或者称为非劣最优解.

对于目标电路的输入 $X = (x_1, x_2, \dots, x_a)$, $x_i (1 < i < a)$ 的是电路的各个输入,使 k 个子目标 $f_j(X) (1 < j < k)$ 的向量函数 $f(X)$ 最优. 即

Max/Min $y = f(X) = (f_1(X),$
 $f_2(X), \dots, f_k(X))$

(1)

在演化硬件中,只有在实现电路正确功能的前提下才能对其优化. 而在数字逻辑电路中,在电路完成特定功能的前提下,逻辑门的个数越多,电路发生故障的概率就越高,所以要找出既能够实现电路功能且所含逻辑门最少的电路. 由于电路演化需要涉及多项设计指标,故是一个典型的多目标优化问题.

本文利用 SPEA2 算法^[8-9] 实现多目标进化. SPEA2 采用基于邻近规则的环境选择策略,使获得的解集有优于其他算法的分布均匀性. 采用精英保留策略,利用一个外部种群来保留进化过程中的优秀个体,保证目前所得到的最优个体不会被交叉、变异等遗传操作破坏. 这能保证多目标进化算法具有较高收敛性和多样性. 设定外部种群规模为一固定值,可以避免移除位于前端始末处的解点.

SPEA2 算法的基本实现流程如图 4 所示. 在计算个体适应度之前,首先给两个种群中的每一个个体 i 赋予一个强度 $S(i)$,表示它支配的个体数目:

$S(i) = |\{j \mid j \in P_t \cup E_t \wedge i \succ j\}|$

(2)

式中, $i \succ j$ 表示个体 i 支配 j . 那么个体 i 的原始适应度值 $R(i)$ 表示为

$R(i) = \sum_{j \in P_t \cup E_t, j \succ i} S(j)$

(3)

个体 i 支配个体的数目随 $R(i)$ 值的增大而减小, $R(i)$ 为 0 时表示个体 i 为非支配个体.

但是有些个体是相互都不被支配的,因此增加 $D(i)$,个体 i 到它的第 k 个临近个体距离的反函数. SPEA2 采用最近邻域法来评估个体间的距离即个体密度. 为此,需要计算个体 i 到两个种群中所有个体间的距离,并按升序排列: $d_1(i) < d_2(i) < \dots <$

$d_m(i)$. 密度估计公式为

$$\delta_i^k = k / (2nd_k(i)) \tag{4}$$

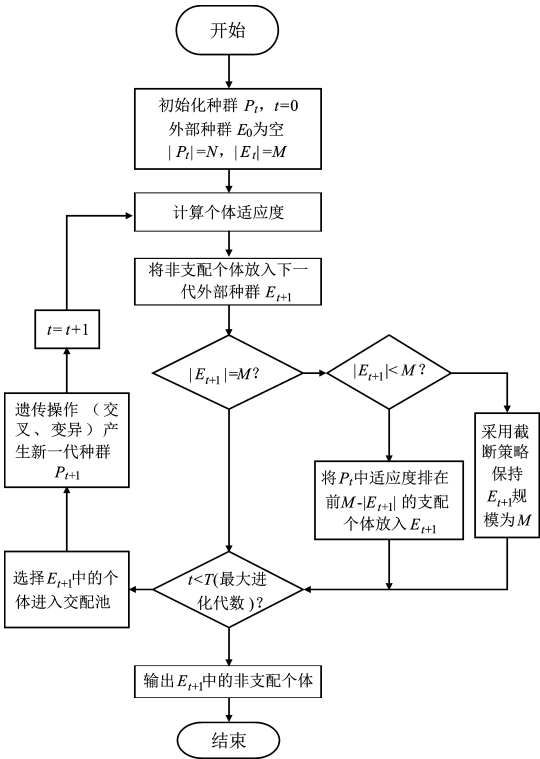


图 4 SPEA2 算法实现流程图

通常情况下,取 $k \approx \sqrt{N+M}$ (N 和 M 分别表示 P_t 和 E_t 的规模).

$$D(i) = 1 / (\delta_i^k + 2) \tag{5}$$

个体 i 的适应度 $F(i)$ 为

$$F(i) = R(i) + D(i) \tag{6}$$

$F(i) < 1$ 表示个体 i 是非支配个体.

在环境选择时,首先将适应度值小于 1 的个体并入外部种群 E_{t+1} ,即

$$E_{t+1} = \{i \mid i \in P_t \cup E_t \wedge F(i) < 1\} \tag{7}$$

若 E_{t+1} 中的个体少于 M ,则在上一代群体中选择 $(M - |E_t|)$ 个优秀个体并入 E_{t+1} 中.反之,则按截断策略依次选择个体 i 从 E_{t+1} 中删除,直到 $|E_{t+1}| = M$.

$$i <_{d,j} \Leftrightarrow \forall 0 < k < |E_{t+1}| : \delta_i^k = \delta_j^k \vee \exists 0 < k < |E_{t+1}| : [(0 < l < k : \delta_i^l = \delta_j^l) \wedge \delta_i^k = \delta_j^k] \tag{8}$$

4 实验验证与分析

4.1 实验条件

实验条件: PC Intel(R) Core(TM) i3-2100 CPU @ 3.10 GHz, 32 位 Windows 7 操作系统,编译环境为 ISE14.2.通过 C 语言编程实现算法.

4.2 实验参数设计

因为实验包含 2 个目标,外部种群 E_t 和种群 P_t 的规模设置为 250.选择操作采用锦标赛选择方法,从外部种群 E_{t+1} 中选择个体进入交配池;交叉操作采用两点交叉,产生更加多样化的个体,交叉概率 $P_c = 0.6$;变异操作按照一定的概率按位翻转,变异概率 $P_m = 0.001, 0.01$ 和 0.1 .实验按照不同的概率分为三组,每组实验运行次数为 30 次.

4.3 实验结果及分析

为了验证本文给出的 SPEA2 算法的进化性能,设计使用 GA 和 SPEA2 演化设计了 2 位乘法器.表 2 中显示的是包含 Microblaze 软核处理器和 VRC 电路的平台资源的使用情况.同等条件下若不包含 VRC 电路时,平台资源的使用仅相差在 LUTs (使用量为 5 673 个),其他资源的使用情况与包含 VRC 电路时相同.整个 VRC 电路仅使用 83 个查找表,平均每个 PE 单元占用 5 个查找表,由此可见,VRC 占用了极少的 FPGA 资源,便于移植到小型的 FPGA 芯片中.

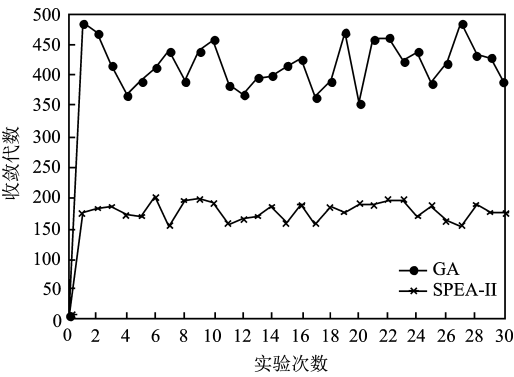
表 2 平台资源的使用情况

资源	使用量	可用量	使用率
DSP48Es	3	64	4/100
IOBs	186	640	29/100
LUTs	5 755	69 120	8/100
BRAM/FIFO	21	148	14/100

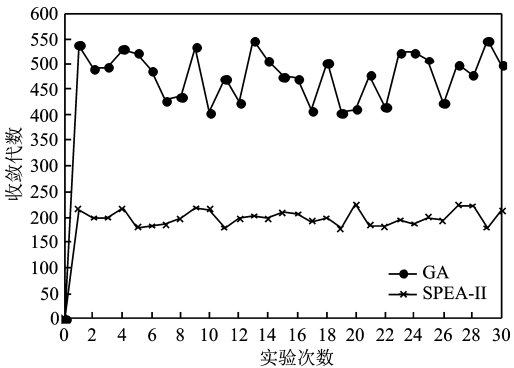
由图 5 和表 3 可看出,利用 2 位乘法器电路进行验证时,SPEA2 算法所用的平均收敛代数要比 GA 少,说明 SPEA2 算法能够快速找到最优值.从演化标准差可以看出,SPEA2 算法的标准差较小,表明演化电路所需的收敛代数与其平均收敛代数相差较小,演化较为稳定.另外,还可以看出,较大的变异概率对演化产生的优秀解具有一定的破坏作用,故收敛代数增加.利用 SPEA2 算法设计的电路如图 6 所示.该电路使用了 7 个逻辑门,而 GA 算法所使用逻辑门的数量一般为 8 个以上.相比于其他方法,SPEA2 算法使用的逻辑门的个数更少,更加合理的利用了门电路资源,设计出更加高效、简单的电路结构.

表 3 实验统计结果

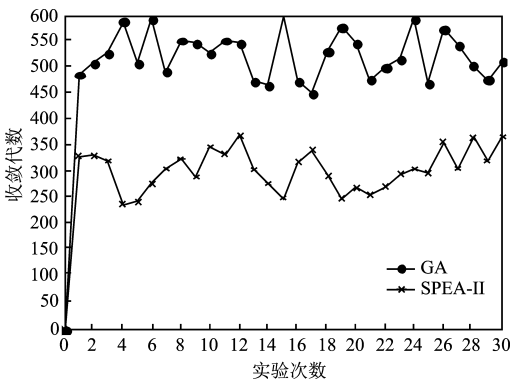
变异率 P_m	算法	演化均值	演化标准差
0.001	GA	417.8	36.4
	SPEA2	176.6	14.2
0.01	GA	479.1	45.5
	SPEA2	197.9	14.6
0.1	GA	527.1	42.3
	SPEA2	308.3	37.6



(a) $P_m=0.001$ 时 GA 和 SPEA2 的收敛代数



(b) $P_m=0.01$ 时 GA 和 SPEA2 的收敛代数



(c) $P_m=0.1$ 时 GA 和 SPEA2 的收敛代数

图 5 GA 与 SPEA2 算法收敛代数的比较

5 结束语

本文给出的 SPEA2 算法可应用于数字逻辑电路的进化设计,相对于传统的遗传算法能够有效的避免陷入局部最优解,缩小搜索到全局最优解需要的进化代数. 而且该算法在一定程度上提高了逻辑门的资源利用率,使电路的演化规模得到优化. 由于使用了精英保留策略和环境选择策略,该算法的计算复杂度要高于 GA,因此在电路进化中会消耗更多的时间,这也是后续需要进一步研究和改进的地方.

参考文献:

[1] S Lukas. Evolvable Components: From theory to hardware implementations [M]. Berlin: Springer, 2004.

[2] Garis HD. Evolvable Hardware: Genetic programming of a darwin machine [C]//Proceedings of the International Conference in Linnsbruck, Austria: IEEE, 1993: 441-449.

[3] Sekanina L, Friedl S. An evolvable combinational unit for FPGAS[J]. Computing and Informatics, 2004, 23 (5): 461-486.

[4] 解双建,原亮,满梦华,等. 基于虚拟可重构电路的演化平台设计[J]. 计算机技术与发展, 2011, 21(7): 214-220.

[5] 陈芹芹,姚睿. 适用于演化硬件的遗传算法[J]. 计算机工程与设计, 2014, 35(9): 3244-3248.

[6] 肖晓伟,肖迪,林锦国,等. 多目标优化问题的研究概述[J]. 计算机应用研究, 2011, 28(3): 805-808+827.

[7] 崔逊学. 多目标进化算法及其应用[M]. 北京:国防工业出版社, 2006: 4-28.

[8] Fonseca C M, Fleming P J. An overview of evolutionary algorithms in multi-objective optimization evolutionary computation[J]. IEEE Transactions on Evolutionary Computation, 1995, 3(1): 1-16.

[9] E. Zitzler et al. SPEA2: Improving the strength Pareto evolutionary algorithm for multi-objective optimization[C]// Proc EUROGEN 2001-Evolutionary Methods for Design Optimization and Control with Applications to Industrial Problems. Pennsylvania:IEEE, 2001: 95-100.

作者简介:

张晓芳 女, (1991-), 硕士研究生. 研究方向为智能仪器. E-mail: 250714087@qq. com.

李 智 男, (1965-), 教授, 博士研究生导师. 研究方向为自动测试总线与系统、现代测试理论与技术.

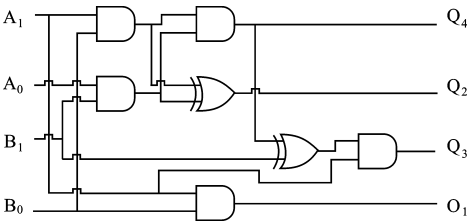


图 6 演化实现的 2 位乘法器电路